

Numere las hojas entregadas. Complete en la primera hoja la cantidad total de hojas entregadas. Cada ejercicio se califica con Bien, Regular o Mal. La división de los ejercicios en incisos es meramente orientativa. Los ejercicios se califican globalmente. El parcial se aprueba con 2 ejercicios Bien y a lo sumo 1 Mal. El parcial NO es a libro abierto; pero puede tener la Arquitectura de ORGA1 y dos hojas A4 con apuntes propios. **Importante:** Justifique sus respuestas. Las soluciones a ejercicios de la práctica que se utilicen deben ser incluidas en el examen.

**Ejercicio 1** Una importante empresa está diseñando un nuevo modelo de tren que funcione de manera autónoma utilizando para su construcción una máquina ORGA1 y algunos dispositivos de E/S detallados a continuación:

**SENSOR AMBIENTE:** informa el estado del entorno permitiéndole al tren decidir la acción a realizar. Este dispositivo cuenta con un registro llamado STATUS del que se podrá leer 0x0000 si el camino está despejado, lo cual implica que el tren puede avanzar libremente, 0x0001 si se debe avanzar con precaución y 0xFFFF si debe detenerse. Cada vez que este sensor cambia su estado pone en 1 la salida extra llamada INTR que mantiene su valor hasta recibir un pulso en la entrada de un bit llamada INTA.

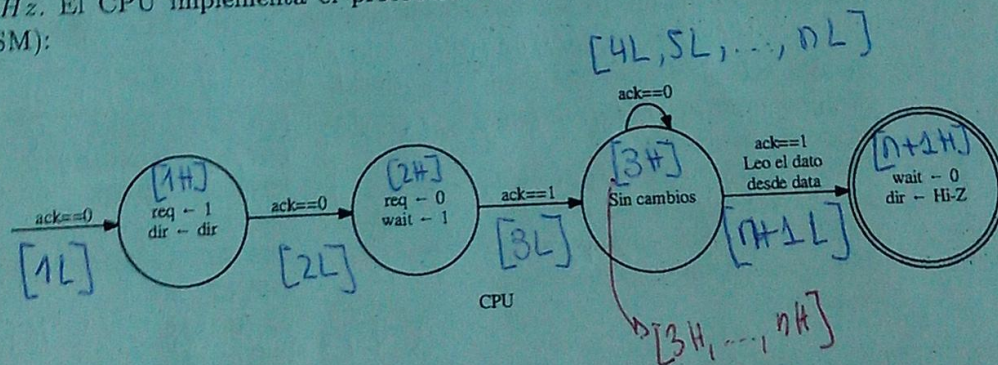
**CONTROL MOTOR:** es el dispositivo que controla el motor del tren. Para que avance a velocidad crucero se debe escribir en el registro llamado POWER el valor 0x7FFF. En caso de necesitar circular con precaución se debe escribir 0x30F0 y para detenerlo 0xF000.

**CUENTA METROS** dispositivo que cuenta los metros recorridos. Puede leerse este valor en el registro DISTANCIA. Además se puede reiniciar el valor del contador colocando el valor 0xFFFF.

El funcionamiento del tren es sencillo. Siempre debe hacer lo que el estado de SENSOR\_AMBIENTE le permita. Además se quiere llevar un conteo de la cantidad de kilómetros recorridos por el tren. Este dato se debe guardar en el registro R0.

- Mapear los registros de E/S e indicar para cada uno si es de lectura, escritura o lectura/escritura.
- Realizar el esquema de conexión del sistema, incluyendo todos los dispositivos involucrados y la manera en la cual están conectados.
- Realizar el pseudo-código de la rutina principal y de la RAI que se debe cargar en la máquina ORGA1 para lograr el funcionamiento detallado.
- Realizar el código, en lenguaje ensamblador, de la rutina principal y de la RAI.

**Ejercicio 2** En una máquina interactúan un CPU y una memoria a través de un bus cuyo clock oscila a 30Hz. El CPU implementa el protocolo de bus detallado en la siguiente máquina de estados (FSM):



- ¿Qué tipo de operación es la descrita por el protocolo? El bus utilizado ¿es multiplexado o dedicado?
- Asumiendo que la memoria tarda exactamente 3 ciclos de clock del bus desde que notifica que está enterada del pedido de operación hasta que lo termina:
  - Realizar el diagrama de tiempo correspondiente a la interacción del CPU con la memoria al utilizar el protocolo expuesto.



- b) Indicar en la FSM del CPU qué ciclo del diagrama de tiempos se corresponde con cada nodo y cada eje.
- c) Calcular la capacidad del protocolo sobre este bus asumiendo que las líneas data son de 13 bits y las líneas dir son de 20 bits.
3. Asumiendo que la memoria tarda 2 ciclos en contestar pero que las líneas data son de 8 bits y las líneas dir son de 30 bits. Calcular la capacidad del bus con esta configuración e indicar si mejora con respecto a la del punto anterior.

**Ejercicio 3** Debido al éxito en el diseño del formato de instrucción de la máquina controladora de la cadena de montaje de autos, se nos pide diseñar también el CPU de la misma. Se sabe que esta máquina contendrá una memoria que almacena datos e instrucciones y utiliza direcciones de 4 bits. Las palabras miden un *nibble*, utiliza direccionamiento a palabra, cuenta con 2 registros que almacenan los datos de los sensores (S0 y S1) de 4 bits y las instrucciones son de longitud variable, de una o dos palabras. Cuenta con el siguiente set de instrucciones:

Instrucción	Efecto	Codificación
TOMAR_CHASIS opcionChasis	Permite elegir entre chasis de 3, 4 ó 5 puertas	0000,0001,0010
PONER_PUERTAS opcionChasis	Indica a los brazos que debe poner 3, 4 ó 5 puertas	0100,0101,0110
MOVER_CINTA	Mueve la cinta transportadora un tiempo fijo	0011
PINTAR opcionColor	Pinta el auto con uno de los 4 colores	10cc
PONER_MOTOR opcionMotor	Motor económico o motor turbo	110m
SENSAR_CHASIS sensor, [dirMem]	[dirMem] ← valor de uno de los dos sensores	111s dddd
SUMAR_MODELO [dirMem]	[dirMem] ← [dirMem] + 1	0111 dddd

- Realice el diagrama del *datapath* de una microarquitectura que soporte las funcionalidades de la máquina descrita. Recuerde indicar el tamaño de cada registro, de los buses internos y externos, las señales de cada componente y justificar la utilización de cada componente escogido y cada decisión tomada.
- Escriba el microprograma que se ejecuta cuando se realiza el fetch de una instrucción.
- Escriba el microprograma que ejecuta con las instrucciones SUMAR\_MODELO [0xE] y SENSAR\_CHASIS S0, [0xD].

**Ejercicio 4** Se tiene una computadora que trabaja con palabras de 16 bits, direcciones de 12 bits, y direccionamiento a byte.

A efectos de mejorar su rendimiento se planea intercalar entre el procesador y la memoria principal un módulo de caché de 512B y 64 líneas. Se evalúan dos organizaciones para la caché:

- Una caché por correspondencia directa
  - Una caché asociativa por conjuntos de 8 vías, y política de desalojo FIFO
- a) Indicar cómo se distribuyen los bits de una dirección de memoria en los campos correspondientes para cada una de las cachés mencionadas.

	Código	Accesos a memoria del fetch
b) Se sabe que gran parte del tiempo de cómputo lo insume este fragmento del programa. Junto a cada instrucción se indica el acceso a memoria necesario para el <i>fetch</i> de la instrucción, no así los necesarios para acceder a los datos.	inicio: MOV R0, 0x0AFA	0x9F5, 0x9F7
	MOV R3, [R0+0x0101]	0x9F9, 0x9FB
	MOV R2, 0x1024	0x9FD
	ciclo: INC R3	0x9FF
	ADD R1, [R0+0x0309]	0xA01, 0xA03
	CMP R2, R3	0xA05
	JE inicio	0xA07
	JMP ciclo	0xA09

Simule los accesos a memoria hasta la comparación (inclusive) utilizando la caché por correspondencia directa, teniendo en cuenta los accesos al código y a los datos. En cada paso indicar el contenido de la caché y detalle si se producen *hits*, *misses*, desalojos (señalando la línea desalojada) y/o accesos desalineados.

¿Cuál es el hit rate de esta ejecución parcial?

- c) ¿Cuál de las dos cachés es más conveniente para la ejecución completa del fragmento del programa presentado? Justificar.